

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-186085

(43) 公開日 平成8年(1996)7月16日

(51) Int.Cl. ^o	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/28	3 0 1 R			
C 3 0 B 29/28		7202-4G		
H 0 1 L 29/78				
21/336				

H 0 1 L 29/ 78 3 0 1 P
 審査請求 有 請求項の数 4 O L (全 9 頁)

(21) 出願番号 特願平6-327889

(22) 出願日 平成6年(1994)12月28日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 三ヶ木 郁

東京都港区芝五丁目7番1号 日本電気株式会社内

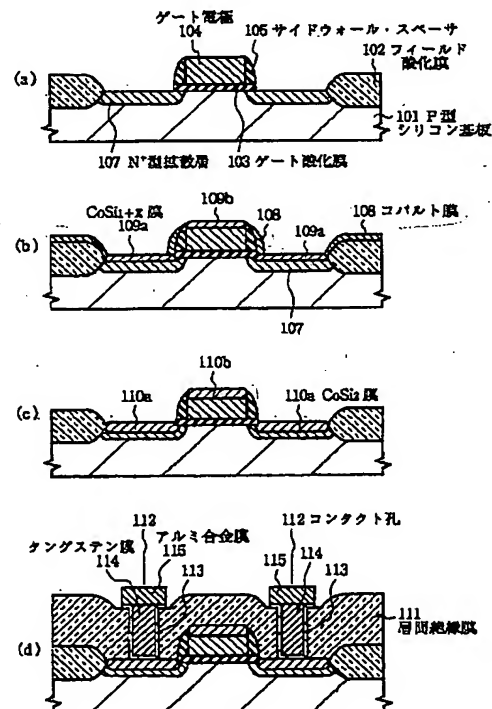
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 拡散層の接合リーク電流の増大、接合耐圧の劣化を抑制できるコバルト・サリサイド構造のMOS型半導体装置の製造方法を提供する。

【構成】 真空装置中で水素プラズマによりゲート電極104上面およびN⁺型拡散層107表面の自然酸化膜を除去し、さらに、真空を破ることなく、ビス・メチル・シクロペンタ・ジエニル・コバルトを気化させ、このガスを熱分解するCVD法により、コバルト膜108を形成する。



【特許請求の範囲】

【請求項1】 一導電型のシリコン基板表面の素子分離領域にフィールド酸化膜を形成し、該シリコン基板表面の素子形成領域にゲート酸化膜を形成し、多結晶シリコン膜からなるゲート電極を形成する工程と、前記ゲート電極の側面に絶縁膜からなるサイドウォール・スペーサを形成する工程と、前記素子形成領域の所要の領域に逆導電型の拡散層を形成する工程と、真空装置中において、前記拡散層表面および前記ゲート電極表面の自然酸化膜を除去する工程と、真空を破ることなく、コバルト有機化合物を気化させてこのガスを熱分解する化学的気相成長により、前記拡散層、前記ゲート電極、前記サイドウォール・スペーサおよび前記フィールド酸化膜の表面にコバルト膜を形成する工程と、真空を破ることなく第1の熱処理を行ない、前記拡散層および前記ゲート電極表面に選択的にコバルトシリサイド膜を形成する工程と、未反応の前記コバルト膜を選択的に除去する工程と、前記第1の熱処理より高い温度で第2の熱処理を行ない、前記コバルトシリサイド膜をコバルトジシリサイド(CoSi_2)膜に変換する工程と、前記シリコン基板表面上に層間絶縁膜を形成し、該層間絶縁膜に前記拡散層、前記ゲート電極に達するコンタクト孔を形成し、該コンタクト孔を介して該拡散層、該ゲート電極に接続される金属配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 前記自然酸化膜の除去が、水素を含むプラズマを用いて行なわれることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記自然酸化膜の除去が、弗化水素を含む気体を用いて行なわれることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記コバルト有機化合物が、ビス・シクロペンタ・ジエニル・コバルト($\text{Co}(\text{C}_5\text{H}_5)_2$)、ビス・メチル・シクロペンタ・ジエニル・コバルト($\text{Co}(\text{CH}_3\text{C}_5\text{H}_4)_2$)、ビス・アセチルアセトネート・コバルト($\text{Co}(\text{CH}_3\text{COCH}_2\text{COCH}_3)_2$)、ビス・ジピバロイル・メタネート・コバルト($\text{Co}((\text{CH}_3)_3\text{CCOCH}_4)_2$)およびビス・ヘキサフルオロ・アセチルアセトネート・コバルト($\text{Co}(\text{C}_5\text{HF}_6\text{O}_2)_2$)のうちの1つであることを特徴とする請求項1、請求項2もしくは請求項3記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関し、特にコバルトジシリサイド(CoSi_2)膜を用いたサイサイド(Salicide; Self-Ali-

gned-Silicide)構造のMOS型半導体装置の製造方法に関する。

【従来の技術】 チタンシリサイド(TiSi_2)膜を用いたサリサイド構造のMOS型半導体装置は、よく知られている。このようなMOS型半導体装置では、多結晶シリコン膜からなるゲート電極の上面と拡散層の表面とに TiSi_2 膜が選択的に形成されおり、拡散層の抵抗と配線としてのゲート電極の抵抗とが大幅に低減され、半導体装置の高速化、高性能化に大きく寄与している。しかしながら半導体素子のさらなる微細化に伴ない、次のような現象の存在が知られるようになった。 N^+ 型拡散層および N^+ 型多結晶シリコン膜からなるゲート電極における砒素(As)の高濃度化やこれらのパターン端部における応力の影響の増大に起因して、 TiSi_2 膜のC49構造からC54構造への相転移の遅れ(ずれ)が生じる。また、浅いPN接合への対応のための TiSi_2 膜の薄膜化に起因して急速熱処理時に TiSi_2 膜の凝集が起り、その結果、微細パターンにおける TiSi_2 膜の抵抗が逆に上昇する。

【0002】 このような事象に対して、微細パターンで TiSi_2 膜より低い抵抗が得られる CoSi_2 膜を用いてサリサイド構造のMOS型半導体装置を形成することが報告されている。

【0003】 半導体装置の製造工程の断面図である図3を参照すると、例えばアントニオ・シー・ベルチ等(Antonio-C. Berti, et. al.)によるプロシーディングーオブー1992、アイ・イー・イー・イー・ヴィ・エル・エス・アイ・マルチレベル・インターコネクションカンファレンス、267-273頁(Proceeding-of-1992, IEEE-VLSI-Multilevel-Interconnection-Conference, pp267-273)の報告によると、 CoSi_2 膜を用いたサリサイド構造のMOS型半導体装置における例えばNチャネルMOSトランジスタは、以下のように形成される。

【0004】 まず、P型シリコン基板201表面の素子分離領域にはLOCOS型のフィールド酸化膜202が形成され、素子形成領域には熱酸化による膜厚11nmのゲート酸化膜203が形成される。全面にノンドープの多結晶シリコン膜が形成され、この多結晶シリコン膜がゲート電極と同形にパターンニングされる。TEOS酸化膜が全面に形成され、これがエッチバックされて多結晶シリコン膜パターンの側面にこのTEOS酸化膜からなるサイドウォール・スペーサ205が形成される。 $5 \times 10^{15} \text{cm}^{-2}$ の砒素のイオン注入が行なわれ、P型シリコン基板201表面の素子形成領域にはサイドウォール・スペーサ205に自己整合的に N^+ 型拡散層207が形成され、上記多結晶シリコン膜パターンは N^+ 型の多結晶シリコン膜からなるゲート電極204になる(図3(a))。

【0005】次に、スパッタリングにより全面に膜厚20nmのコバルト膜208が形成される。その後、約475℃の窒素雰囲気中で第1の急速熱処理が行なわれ、N⁺型拡散層207表面およびゲート電極204上面にはそれぞれ自己整合的にCoSi膜209aおよびCoSi膜209bが形成され、フィールド酸化膜202表面およびサイドウォール・スペーサ205表面にのみ(未反応の)コバルト膜208が残置する〔図3(b)〕。

【0006】次に、上記未反応のコバルト膜208がウェット・エッチングにより選択的に除去される。700℃の窒素雰囲気中で第2の急速熱処理が行なわれ、上記CoSi膜209a、209bがCoSi₂膜210a、210bに変換される。CoSi₂膜210a、210bの膜厚は、70nm程度である〔図3(c)〕。なお、急速熱処理を2段階で行なわずに、例えば700℃の急速熱処理のみを行なう場合、シリサイド化反応が急速なため、例えばN⁺型拡散層207表面に形成されるCoSi₂膜がサイドウォール・スペーサ205表面に沿って競上り易くなる。このため、未反応のコバルト膜の選択的な除去によっても、このCoSi₂膜とゲート電極204上面に形成されるCoSi₂膜との間のリーク、短絡を完全に防ぐことが困難になる。

【0007】別のCoSi₂膜によるサリサイド構造のMOS型半導体装置の形成方法が、チーシー・ウェイ等(Chih-Shih-Wei, et al.)によるプロシーディングーオブ1990、アイ・イー・イー・イー・ヴィ・エル・エス・アイ・マルチレベル・インターコネクション・カンファレンス、233-239頁(Proceeding-of-1990, IEEE-VLSI-Multilevel-Interconnection-Conference, pp233-239)に報告されている。この報告によれば、シリコン基板表面へのコバルト膜の形成に先だってチタン膜を形成しておき、窒素雰囲気中で急速熱処理が行なわれる。この熱処理の際にチタンがコバルト膜中をマイグレートするため、形成されたCoSi₂膜の上面は窒化チタン膜に覆われることになる。この方法の効果として、シリコン基板とコバルト膜との界面の酸素の影響を制御できる。これは、シリコン基板表面に形成された自然酸化膜中の酸素がチタンにゲッターリングされ、このチタンのマイグレートと共にこの酸素もコバルト膜表面上にマイグレートできるためである。

【0008】

【発明が解決しようとする課題】CoSi₂膜によるサリサイド構造のMOS型半導体装置では、TiSi₂膜を用いたサリサイド構造のMOS型半導体装置と異なり、確かに微細パターンにおける高抵抗化現象等は起らない。しかしながら、上述の従来のCoSi₂膜によるサリサイド構造のMOS型半導体装置の形成方法には、それぞれ以下に示す欠点がある。

【0009】まず、上記アントニオ・シー・ベルチ等の報告による方法では、自然酸化膜206(図3(a)参照)の存在が無視できない。コバルト膜のスパッタリングの前処理として弗酸等によるウェット・エッチングを行なっているものの、このウェットエッチング後に大気中に曝露されるために拡散層表面等には再び酸素の吸着が起り、自然酸化膜206が形成される。このような状態でコバルト膜208を形成し、第1の熱処理を行なうと、特にN⁺型拡散層207とCoSi膜209aとの界面が一樣ではなくがたがたになる(図3(b)参照)。第2の熱処理により得られるN⁺型拡散層207とCoSi₂膜210aとの界面は、N⁺型拡散層207とCoSi膜209aとの界面の形状の影響を免れない。さらにCoSi膜209aからCoSi₂膜210aに変換されるさいに体積の増加が伴うことから、N⁺型拡散層207のPN接合面とがたがたしたこのCoSi₂膜210aの底面との間隔は狭くなる。このため、N⁺型拡散層207の接合リーク電流の増大、接合耐圧の劣化が起りやすくなる。

【0010】次に、上記チーシー・ウェイ等の報告による方法では、自然酸化膜の存在による上記アントニオ・シー・ベルチ等の報告による方法の問題点は解決される。しかしながらこのチーシー・ウェイ等の報告による方法では、より本質的な問題点を含んでいる。コバルト膜の従来の成膜法はD. C. マグネトロン・スパッタリングであるが、強磁性体であるコバルトがスパッタ装置のマグネットの回転を阻害するために安定したスパッタリングが困難になる。そのため、コバルト・ターゲットのコバルトの純度を低下させて磁力を弱めない限りこのスパッタリングは容易ではなくなる。また、スパッタリングの際にコバルト・ターゲット表面に形成される腐食(エロージョン)により、コバルト・ターゲットの磁力分布が変化してスパッタリング速度や均一性に経時的な影響を与えることになる。従って、チタン膜とコバルト膜とを積層する方法でも、純度の高いコバルト膜を高い再現性のもとで制御性よく薄く均一に形成することが困難になる。コバルト膜の他のPVDによる成膜法としては電子銃加熱蒸着法もあるが、蒸着時に発生する電子線の半導体装置に与えるダメージから、ゲート酸化膜の薄い昨今のMOS型半導体装置には不相当である。

【0011】従って本発明の半導体装置の製造方法の目的は、CoSi₂膜を用いたサリサイド構造のMOS型半導体装置の形成において、純度の高いコバルト膜を高い再現性のもとで制御性よく薄く均一に形成する方法を提供することと、さらに、CoSi₂膜形成後の拡散層のPN接合リーク電流の増大、PN接合耐圧の劣化を抑制できる製造方法を提供することにある。

【0012】

【課題を解決するための手段】本発明の半導体装置の製造方法は、一導電型のシリコン基板表面の素子分離領域

にフィールド酸化膜を形成し、このシリコン基板表面の素子形成領域にゲート酸化膜を形成し、多結晶シリコン膜からなるゲート電極を形成する工程と、上記ゲート電極の側面に絶縁膜からなるサイドウォール・スペーサを形成する工程と、上記素子形成領域の所要の領域に逆導電型の拡散層を形成する工程と、真空装置中において、上記拡散層表面および上記ゲート電極表面の自然酸化膜を除去する工程と、真空を破ることなく、コバルト有機化合物を気化させてこのガスを熱分解する化学的気相成長により、上記拡散層、上記ゲート電極、上記サイドウォール・スペーサおよび上記フィールド酸化膜の表面にコバルト膜を形成する工程と、真空を破ることなく第1の熱処理を行ない、上記拡散層および上記ゲート電極表面に選択的にコバルトシリサイド膜を形成する工程と、未反応の上記コバルト膜を選択的に除去する工程と、上記第1の熱処理より高い温度で第2の熱処理を行ない、上記コバルトシリサイド膜をコバルトジシリサイド(CoSi_2)膜に変換する工程と、上記シリコン基板表面上に層間絶縁膜を形成し、この層間絶縁膜に上記拡散層、上記ゲート電極に達するコンタクト孔を形成し、これらのコンタクト孔を介してこれらの拡散層、これらのゲート電極に接続される金属配線を形成する工程とを有する。

【0013】好ましくは、上記自然酸化膜の除去が水素を含むプラズマもしくは弗化水素を含む気体を用いて行なわれ、さらに、上記コバルト有機化合物はビス・シクロペンタ・ジエニル・コバルト($\text{Co}(\text{C}_5\text{H}_5)_2$)、ビス・メチル・シクロペンタ・ジエニル・コバルト($\text{Co}(\text{CH}_3\text{C}_5\text{H}_4)_2$)、ビス・アセチルアセトネート・コバルト($\text{Co}(\text{CH}_3\text{COCH}_3\text{COCH}_3)_2$)、ビス・ジピバロイル・メタナート・コバルト($\text{Co}((\text{CH}_3)_3\text{CCOCH}_4)_2$)あるいはビス・ヘキサフルオロ・アセチルアセトネート・コバルト($\text{Co}(\text{C}_5\text{HF}_6\text{O}_2)_2$)のうちの1つである。

【0014】

【実施例】次に、本発明について図面を参照して説明する。

【0015】半導体装置の製造工程の断面図である図1を参照すると、本発明の第1の実施例による CoSi_2 膜を用いたサリサイド構造のNチャネルMOSトランジスタは、以下のように形成される。

【0016】まず、P型シリコン基板101表面の素子分離領域には膜厚400nm程度のLOCOS型のフィールド酸化膜102が形成され、素子形成領域には熱酸化による膜厚8nm程度のゲート酸化膜103が形成される。全面に膜厚150nm程度のノンドープの多結晶シリコン膜が形成され、この多結晶シリコン膜がゲート電極と同形にパターンニングされる。この多結晶シリコン膜パターンの素子形成領域での幅(ゲート長)は、0.

25 μm 程度である。高温気相成長法による膜厚80nm程度の酸化シリコン膜(HTO膜)が全面に形成され、これがエッチバックされて多結晶シリコン膜パターンの側面にこのHTO酸化膜からなるサイドウォール・スペーサ105が形成される。50KeVで $1.0 \sim 5.0 \times 10^{15} \text{cm}^{-2}$ 程度の砒素のイオン注入が行なわれ、900℃の窒素雰囲気中で15~20分程度の熱処理が行なわれる。これにより、P型シリコン基板101表面の素子形成領域にはサイドウォール・スペーサ105に自己整合的に N^+ 型拡散層107が形成され、上記多結晶シリコン膜パターンは N^+ 型の多結晶シリコン膜からなるゲート電極104になる。このときの N^+ 型拡散層107のPN接合の深さは、約0.15 μm である。

【0017】弗酸等のウェット・エッチングが行なわれた後、P型シリコン基板101は真空室(図示せず)に導入される。この段階では、 N^+ 型拡散層107表面およびゲート電極104上面に、再び膜厚数nm程度の自然酸化膜(図示せず)が形成されている。続いて、300~600℃に加熱されたP型シリコン基板101は、圧力0.3~2.6Pa、パワー0.4~1.0KWの水素プラズマに曝され、 N^+ 型拡散層107表面およびゲート電極104上面に形成された自然酸化膜が除去(シリコンに還元されるとも見なせる)され、これら N^+ 型拡散層107表面およびゲート電極104上面が清浄化される[図1(a)]。

【0018】次に、真空を破ることなく、ビス・メチル・シクロペンタ・ジエニル・コバルト($\text{Co}(\text{CH}_3\text{C}_5\text{H}_4)_2$)の気化ガスを原料ガスとしたコバルトの化学的気相成長(CVD)が行なわれ、P型シリコン基板101の表面上には膜厚10~20nm程度のコバルト膜108が形成される。このCVDは、ビス・メチル・シクロペンタ・ジエニル・コバルトの気化ガスの熱分解によるものであり、基板温度200~400℃、キャリア水素ガス流量100~400sccm、気化されたビス・メチル・シクロペンタ・ジエニル・コバルトの気化ガスの流量10~40sccm、圧力13~52Paのもとで行なわれる。なお、コバルト膜108のCVDを行なう真空室と水素プラズマ処理を行なう真空室とは必ずしも同一の真空室である必要はない。ただし、両者が異なる真空室である場合には、P型シリコン基板101の2つの真空室間の移動が真空を破ることなく行なえるならばよい。

【0019】このビス・メチル・シクロペンタ・ジエニル・コバルトの融点は37℃と極めて低く、80℃程度の低温でも400Pa程度の蒸気圧を有しているため、この気化ガスを原料ガスとするCVDが可能となる。上記条件の範囲では、コバルト膜108の成長速度は20~40nm/minと低い。ここでのビス・メチル・シクロペンタ・ジエニル・コバルトの気化ガスの熱分解反応はガス流量により律速させるため、基板温度の変化

に対する成長速度の変化はほとんどない。このため、前述のD. C. マグネトロン・スパッタリング等のPVDに比べて、磁場の影響や電子線の照射等が無いため、膜厚が十分に薄く、純度の高いコバルト膜108が、均一性および再現性よく、かつ制御性よく形成できる。

【0020】続いて、破ることなく真空室（上記CVDもしくは上記水素プラズマ処理を行なった真空室と同じでもよく、異なってもよい）内で、400～550℃のランプ加熱が10～30秒程度行なわれ、N⁺型拡散層107表面およびゲート電極104上面のコバルト膜が、それぞれこれらの面に自己整合的にシリサイド化され、それぞれCoSi_{1+X}膜109a、109b（0 ≤ X < 1）が形成される。CoSi_{1+X}膜109a、109bは、主としてCoSiから構成され、CoSi₂およびCo₂Si等も混在している。また、フィールド酸化膜102およびサイドウォール・スペーサ105の表面にのみ、コバルト膜108が残置される〔図1（b）〕。

【0021】これらCoSi_{1+X}膜109a、109bの膜厚は、上記水素プラズマ処理によるN⁺型拡散層107表面およびゲート電極104上面に形成された自然酸化膜の除去が充分に行なわれることと、上述のように膜厚が十分に薄く、純度の高いコバルト膜108が均一性および再現性よくかつ制御性よく形成できることから、上記コバルト膜の成膜条件に依存して均一になり、20～40nm程度となる。すなわち、上記アントニオ・シー・ベルチ等の報告による方法のようにN⁺型拡散層207とCoSi膜209aとの界面が一樣ではなくがたがたになる（図3（b）参照）ことはなく、N⁺型拡散層107とCoSi_{1+X}膜109aとの界面が一樣になる。また、CoSi_{1+X}膜109aが形成された後のN⁺型拡散層107の接合の深さも、概ね一樣になる。

【0022】次に、P型シリコン基板101が真空室から取り出され、硫酸（H₂SO₄）と過酸化水素（H₂O₂）との混合水溶液によるウェット・エッチングにより、未反応のコバルト膜108が選択的に除去される。続いて、真空中もしくは不活性雰囲気中で600～800℃のランプ加熱が10～30秒程度行なわれ、CoSi_{1+X}膜109a、109bは（それぞれ相転移して安定化され）CoSi₂膜110a、110bになる。なお、コバルト膜108のシリサイド化反応のための熱処理を2段階にしたのは、前述と同様の理由による。すなわち、急速なシリサイド化反応でのN⁺型拡散層107表面に形成されたCoSi₂膜のサイドウォール・スペーサ105表面に沿っての競上りの部分とゲート電極104上面に形成されたCoSi₂膜との間のリーク、短絡を回避するためである。CoSi₂膜110a、110bの膜厚は、上記CoSi_{1+X}膜109a、109bの均一性等を反映して均一になり、35～70nm程度

となる。CoSi₂膜110aが形成された後のN⁺型拡散層107の接合の深さも概ね一樣になり、0.125μm～0.10μmとなる〔図1（c）〕。

【0023】この結果、本実施例によるサリサイド構造のNチャネルMOSトランジスタでは、N⁺型拡散層107のPN接合リークの増大およびPN接合耐圧の劣化の抑制が容易になる。

【0024】続いて、P型シリコン基板101の表面上に、400℃程度の常圧気相成長（APCVD）による膜厚100nm程度の酸化シリコン膜と400℃程度の減圧気相成長（LPCVD）による膜厚2μm程度のTEOS-BPSG膜とからなる層間絶縁膜111が形成される。N⁺型拡散層107表面に形成されたCoSi₂膜110aに達する口径0.4μm程度のコンタクト孔112、フィールド酸化膜102上においてゲート電極104表面に形成されたCoSi₂膜110bに達する口径0.4μm程度のコンタクト孔（図示せず）が、層間絶縁膜111に形成される。次に、反応性スパッタリングにより、（層間絶縁膜111上面での）膜厚50～100nmの窒化チタン膜113が全面に形成される。水素還元法あるいはシラン還元法によりタングステン膜114が全面に形成され、このタングステン膜114が反応性イオンエッチング（RIE）もしくは化学的機械研磨法（CMP）等によりエッチバックされ、コンタクト孔112を充填するようにこのタングステン膜114が残置される。さらに全面に銅を0.1～0.5Wt.%含んだアルミ合金膜が115が形成され、このアルミ合金膜115および窒化チタン膜113がパターニングされて所望の配線が形成され、本実施例によるNチャネルMOSトランジスタが完成する〔図1（d）〕。

【0025】上記第1の実施例はNチャネルMOSトランジスタの形成に関するものであるが、本実施例はこれに限定されるものではない。本実施例の応用例として、LDD構造のN型拡散層を有したNチャネルMOSトランジスタにも適用でき、PチャネルMOSトランジスタにも適用でき、CMOSトランジスタにも適用できる。CMOSトランジスタに適用する場合には、フィールド酸化膜102の形成に先だって、Nウェル（さらにはPウェル）を形成し、N⁺型拡散層107を形成した後、NチャネルMOSトランジスタの形成領域をフォトレジスト膜で覆い、20KeVで1.0～5.0×10¹⁵cm⁻²程度の2弗化ボロン（BF₂）のイオン注入を行ない、窒素雰囲気中1000℃のランプ加熱による10～15秒程度の熱処理を行なってP⁺型拡散層を形成する。このP⁺型拡散層のPN接合の深さは約0.15μmとなる。以降の工程は、上記第1の実施例と同様である。さらに本実施例の別の応用例として、いわゆるポリシリエミッタ構造のバイポーラトランジスタにおけるエミッタ電極の形成にも適用可能である。

【0026】半導体装置の製造工程の断面図である図2

を参照すると、本発明の第2の実施例による CoSi_2 膜を用いたサリサイド構造のNチャンネルMOSトランジスタは、上記第1の実施例とは自然酸化膜の除去方法とコバルト膜の気相成長に用いる原料(ガス)とが相違しており、以下のように形成される。

【0027】まず、上記第1の実施例と同様に、P型シリコン基板101表面の素子分離領域、素子形成領域にそれぞれ膜厚400nm程度のLOCOS型のフィールド酸化膜102、熱酸化による膜厚8nm程度のゲート酸化膜103が形成される。全面に膜厚150nm程度のノンドープの多結晶シリコン膜が形成され、この多結晶シリコン膜がゲート電極と同形にパターンニングされる。この多結晶シリコン膜パターンの素子形成領域での幅(ゲート長)は、0.25 μm 程度である。膜厚80nm程度の酸化シリコン膜(HTO膜)の堆積、エッチバックにより、多結晶シリコン膜パターンの側面にこのHTO酸化膜からなるサイドウォール・スペーサ105が形成される。砒素のイオン注入、900 $^{\circ}\text{C}$ での熱処理により、P型シリコン基板101表面にサイドウォール・スペーサ105に自己整合的な N^+ 型拡散層107が形成され、上記多結晶シリコン膜パターンが N^+ 型の多結晶シリコン膜からなるゲート電極104になる。このときの N^+ 型拡散層107のPN接合の深さは、約0.15 μm である。

【0028】上記第1の実施例と同様に弗酸等のウェット・エッチングが行なわれた後、P型シリコン基板101は真空室(図示せず)に導入される。この段階では、 N^+ 型拡散層107表面およびゲート電極104上面に、再び膜厚数nm程度の自然酸化膜(図示せず)が形成されている。続いて、25~100 $^{\circ}\text{C}$ に加熱されたP型シリコン基板101は、無水弗化水素ガスに曝され、 N^+ 型拡散層107表面およびゲート電極104上面に形成された自然酸化膜が除去(シリコンに還元されるとも見なせる)され、これら N^+ 型拡散層107表面およびゲート電極104上面が清浄化される[図2

(a)]。上記第1の実施例と異なり、本実施例では自然酸化膜の除去にプラズマ処理を用いないことから、本実施例の方が半導体素子へ与えるダメージの量が少なくなる。

【0029】次に、真空を破ることなくP型シリコン基板101は別の真空室に搬送され、ビス・シクロペンタ・ジエニル・コバルト($\text{Co}(\text{C}_5\text{H}_5)_2$)の気化ガスを原料ガスとしたコバルトの化学的気相成長(CVD)が行なわれ、P型シリコン基板101の表面上には膜厚10~20nm程度のコバルト膜118が形成される。このCVDは、ビス・シクロペンタ・ジエニル・コバルトの気化ガスの熱分解によるものであり、基板温度300~450 $^{\circ}\text{C}$ 、キャリア水素ガス流量100~400sccm、ビス・シクロペンタ・ジエニル・コバルトの気化ガスの流量10~40sccm、圧力13~52

Paのもとで行なわれる。なお、コバルト膜118のCVDを行なう真空室が事前酸化膜を除去する真空室と異なるのは、このコバルト膜118の形成に際して、残留弗化水素ガスの影響を排除するためである。

【0030】このビス・シクロペンタ・ジエニル・コバルトの融点は、上記第1の実施例で採用したビス・メチル・シクロペンタ・ジエニル・コバルトの融点(37 $^{\circ}\text{C}$)より高く、174 $^{\circ}\text{C}$ である。また、ビス・シクロペンタ・ジエニル・コバルトの100 $^{\circ}\text{C}$ での蒸気圧は、10Pa程度である。このため、このビス・シクロペンタ・ジエニル・コバルトを気化させるには、上記第1の実施例より高い温度が必要となる。上記条件の範囲では、コバルト膜118の成長速度は20~40nm/minである。ここでのビス・シクロペンタ・ジエニル・コバルトコバルトの気化されたガスの熱分解反応もガス流量により律速させるため、基板温度の変化に対する成長速度の変化はほとんどない。このため、上記第1の実施例と同様に、前述のD.C.マグネトロン・スパッタリング等のPVDに比べて、磁場の影響や電子線の照射等が無いため、膜厚が十分に薄く、純度の高いコバルト膜118が、均一性および再現性よく、かつ制御性よく形成できる。

【0031】続いて、上記第1の実施例と同様に、真空を破ることなく真空室(上記CVDを行なった真空室と同じでもよく、異なってもよい)内で、400~550 $^{\circ}\text{C}$ のランプ加熱が10~30秒程度行なわれ、 N^+ 型拡散層107表面およびゲート電極104上面のコバルト膜118が、それぞれこれらの面に自己整合的にシリサイド化され、それぞれ CoSi_{1+Y} 膜119a、119b(0 $\leq Y < 1$)が形成される。 CoSi_{1+Y} 膜119a、119bは、主として CoSi から構成され、 CoSi_2 および Co_2Si 等も混在している。また、フィールド酸化膜102およびサイドウォール・スペーサ105の表面にのみ、コバルト膜118が残置される[図2(b)]。

【0032】これら CoSi_{1+Y} 膜119a、119bの膜厚も、上記無水弗化水素ガスによる N^+ 型拡散層107表面およびゲート電極104上面に形成された自然酸化膜の除去が充分に行なわれることと、上述のように膜厚が十分に薄く、純度の高いコバルト膜118が均一性および再現性よくかつ制御性よく形成できることから、上記第1の実施例と同様にコバルト膜の成膜条件に依存して均一になり、20~40nm程度となる。すなわち、上記アントニオ・シー・ベルチ等の報告による方法のように N^+ 型拡散層207と CoSi 膜209aとの界面が一樣ではなくがたがたになる(図3(b)参照)ことはなく、 N^+ 型拡散層107と CoSi_{1+Y} 膜119aとの界面が一樣になる。また、 CoSi_{1+Y} 膜119aが形成された後の N^+ 型拡散層107の接合の深さも、概ね一樣になる。

【0033】次に、P型シリコン基板101が真空室から取り出され、上記第1の実施例と同様に、硫酸(H_2SO_4)と過酸化水素(H_2O_2)との混合水溶液によるウェット・エッチングにより、未反応のコバルト膜118が選択的に除去される。続いて、真空中もしくは不活性雰囲気中で600～800℃のランプ加熱が10～30秒程度行なわれ、 CoSi_{1+y} 膜119a、119bは(それぞれ相転移して安定化され) CoSi_2 膜120a、120bになる。 CoSi_2 膜120a、120bの膜厚も、上記 CoSi_{1+y} 膜119a、119bの均一性等を反映して均一になり、35～70nm程度となる。 CoSi_2 膜120aが形成された後の N^+ 型拡散層107の接合の深さも概ね一様になり、0.125 μm ～0.10 μm となる〔図2(c)〕。

【0034】この結果、本実施例によるサリサイド構造のNチャネルMOSトランジスタでも、 N^+ 型拡散層107のPN接合リークが増大およびPN接合耐圧の劣化の抑制が容易になる。

【0035】続いて、上記第1の実施例と同様に、P型シリコン基板101の表面上に、400℃程度の常圧気相成長(APCVD)による膜厚100nm程度の酸化シリコン膜と400℃程度の減圧気相成長(LPCVD)による膜厚2 μm 程度のTEOS-BPSG膜とからなる層間絶縁膜111が形成される。 N^+ 型拡散層107に形成された CoSi_2 膜120aに達する口径0.4 μm 程度のコンタクト孔112、フィールド酸化膜102上においてゲート電極104に形成された CoSi_2 膜120bに達する口径0.4 μm 程度のコンタクト孔(図示せず)が、層間絶縁膜111に形成される。次に、反応性スパッタリングにより、(層間絶縁膜111上面での)膜厚50～100nmの窒化チタン膜113が全面に形成される。水素還元法あるいはシラン還元法によりタングステン膜114が全面に形成され、このタングステン膜114が反応性イオンエッチング(RIE)もしくは化学的機械研磨法(CMP)等によりエッチバックされ、コンタクト孔112を充填するようにこのタングステン膜114が残置される。さらに全面に銅を0.1～0.5Wt.%含んだアルミ合金膜が115が形成され、このアルミ合金膜115および窒化チタン膜113がパターンニングされて所望の配線が形成され、本実施例によるNチャネルMOSトランジスタが完成する〔図2(d)〕。

【0036】上記第2の実施例もNチャネルMOSトランジスタの形成に関するものであるが、本実施例もこれに限定されるものではない。本実施例の応用例として、LDD構造のN型拡散層を有したNチャネルMOSトランジスタにも適用でき、PチャネルMOSトランジスタにも適用でき、CMOSトランジスタにも適用できる。さらに本実施例の別の応用例として、いわゆるポリシリエミッタ構造のバイポーラトランジスタにおけるエミッ

タ電極の形成にも適用可能である。

【0037】なお、コバルト有機化合物として上記第1の実施例、第2の実施例ではそれぞれビス・メチル・シクロペンタ・ジエニル・コバルト($\text{Co}(\text{CH}_3\text{C}_5\text{H}_4)_2$)、ビス・シクロペンタ・ジエニル・コバルト($\text{Co}(\text{C}_5\text{H}_5)_2$)を採用したが、本発明はこれに限定されるものではなく、ビス・アセチルアセトネート・コバルト($\text{Co}(\text{CH}_3\text{COCH}_3\text{COC}(\text{H}_3)_2)_2$)、ビス・ジビバロイル・メタナート・コバルト($\text{Co}((\text{CH}_3)_3\text{CCOCH}_4)_2$)あるいはビス・ヘキサフルオロ・アセチルアセトネート・コバルト($\text{Co}(\text{C}_5\text{HF}_6\text{O}_2)_2$)のように第1のシリサイド化温度(400～550℃)より低い温度での蒸気圧が高いものならば、適用することが可能である。

【0038】

【発明の効果】以上説明したように本発明の半導体装置の製造方法は、コバルトジシリサイド膜を用いたサイサイド構造のMOS型半導体装置の製造において、多結晶シリコン膜からなるゲート電極を形成し、ゲート電極の側面に絶縁膜からなるサイドウォール・スペーサを形成し、拡散層を形成した後、真空装置中において拡散層表面およびゲート電極上面の自然酸化膜を除去する。さらに、真空を破ることなく、コバルト有機化合物を気化させ、このガスを熱分解するCVD法により、コバルト膜を形成する。続いて、ジシリサイドとはならない温度で第1のシリサイド化を行なう。

【0039】このため、D.C.マグネトロン・スパッタリング等のPVDに比べて、磁場の影響や電子線の照射等が無いため、膜厚が十分に薄く、純度の高いコバルト膜が、均一性および再現性よく、かつ制御性よく形成できる。これにより、第1のシリサイド化によるコバルトシリサイド膜と拡散層との界面も一様になり、さらに第2のシリサイド化によるコバルトジシリサイド膜と拡散層との界面も一様になるため、拡散層のPN接合リークが増大、PN接合耐圧の劣化を抑制することが容易になる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の製造工程の断面図である。

【図2】本発明の第2の実施例の製造工程の断面図である。

【図3】従来の半導体装置の製造工程の断面図であり、従来の半導体装置の製造方法の問題点を説明するための図である。

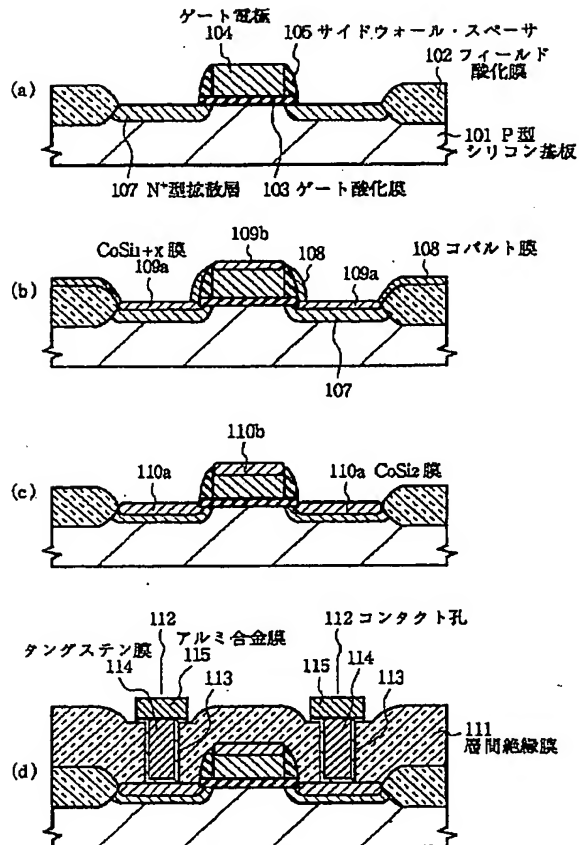
【符号の説明】

101, 201	P型シリコン基板
102, 202	フィールド酸化膜
103, 203	ゲート酸化膜
104, 204	ゲート電極
105, 205	サイドウォール・スペーサ

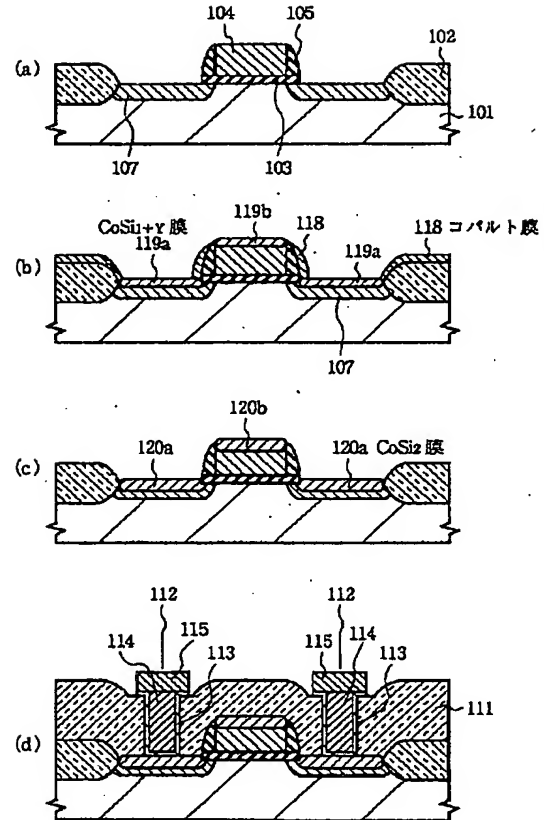
107, 207 N^+ 型拡散層
 108, 118, 208 コバルト膜
 109a, 109b $CoSi_{1+x}$ 膜
 , 209a, 209b
 110a, 110b, 120a, 120b, 210a,
 210b $CoSi_2$ 膜
 112 コンタクト孔

113 窒化チタン膜
 114 タングステン膜
 115 アルミ合金膜
 119a, 119b $CoSi_{1+y}$ 膜
 206 自然酸化膜
 209a, 209b $CoSi$ 膜

【図1】



【図2】



【図3】

